

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-077791  
 (43)Date of publication of application : 22.03.1996

(51)Int.CI. G11C 29/00

(21)Application number : 07-216054 (71)Applicant : SAMSUNG ELECTRON CO LTD  
 (22)Date of filing : 24.08.1995 (72)Inventor : PARK CHEOL-WOO

## (30)Priority

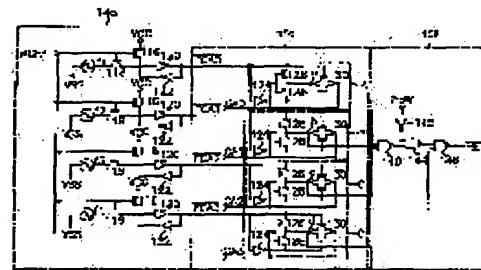
Priority number : 94 9421091 Priority date : 25.08.1994 Priority country : KR

## (54) COLUMN REDUNDANCY METHOD FOR SEMICONDUCTOR MEMORY DEVICE AND ITS CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a column redundancy circuit small in fuses, excellent in integration and suitable for a high integrated memory.

SOLUTION: This embodiment comprises: a program part 148 for storing a column address to be made redundant and generating a relief column address signal bar FCAi in response to this; a comparison part 150 for comparing the relief column address signal bar FCAi with a column address CAi and detecting a logic conformity state; and an output part 152 for generating a redundancy enable control signal bar RENi based on an output signal of the comparison part 150. Fuses f1, f2,... corresponding to logic 1 of the redundancy column address are cut off. The comparison part 150 carries out an exclusive logical sum and, if the bars FCAi and CAi are completely under a reverse logical state, the outputs are all logic 1. With this structure, the fuses are not required for all of the column address CAi and bar CAi and the number of fuses is half reduced.



## LEGAL STATUS

[Date of request for examination] 24.08.1995  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 2777091  
 [Date of registration] 01.05.1998  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-77791

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl.  
G 1 1 C 29/00識別記号 庁内整理番号  
3 0 1 B 9459-5L

F I

技術表示箇所

審査請求 有 請求項の数11 O L (全11頁)

(21)出願番号 特願平7-216054  
 (22)出願日 平成7年(1995)8月24日  
 (31)優先権主張番号 1994 P 21091  
 (32)優先日 1994年8月25日  
 (33)優先権主張国 韓国(KR)

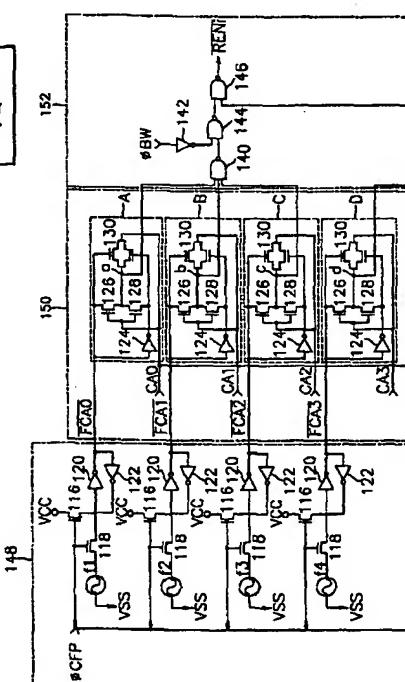
(71)出願人 390019839  
 三星電子株式会社  
 大韓民国京畿道水原市八達区梅灘洞416  
 (72)発明者 朴哲佑  
 大韓民国京畿道水原市八達区引繼洞鮮京ア  
 パート2棟1503号  
 (74)代理人 弁理士 高月猛

(54)【発明の名称】 半導体メモリ装置のカラム冗長方法及びその回路

## (57)【要約】

【課題】 ヒューズが少なく集積性に優れ、高集積メモリに適したカラム冗長回路を提供する。

【解決手段】 冗長対象のカラムアドレスを記憶し、これに応じて救済カラムアドレス信号バーFCA<sub>i</sub>を発生するプログラム部148と、救済カラムアドレス信号バーFCA<sub>i</sub>及びカラムアドレスCA<sub>i</sub>を比較して論理一致状態を検出する比較部150と、該比較部150の出力信号を基に冗長エーブル制御信号バーREN<sub>i</sub>を発生する出力部152と、を備える。ヒューズf<sub>1</sub>, f<sub>2</sub>, …は冗長カラムアドレスの論理1に対応するものが切断される。比較部150は排他的論理和を行い、バーFCA<sub>i</sub>とCA<sub>i</sub>とが完全に反転論理状態であればその出力はすべて論理1になる。従来ではカラムアドレスCA<sub>i</sub>、バーCA<sub>i</sub>のすべてにヒューズが必要だったので、本発明によればヒューズ数が半減する。

図1  
図2

## 【特許請求の範囲】

【請求項 1】 欠陥メモリセルを冗長メモリセルに置き換えるカラム冗長を行う半導体メモリ装置のカラム冗長方法において、

ヒューズ切断により救済対象のカラムアドレスを記憶してこれに応じた救済カラムアドレス信号を発生するようにし、そして、入力されるカラムアドレス及び前記救済カラムアドレス信号を比較して論理一致状態を検出し、この比較結果出力に基づいて冗長エネーブル制御信号を発生するようにしたことを特徴とするカラム冗長方法。

【請求項 2】 救済カラムアドレス信号をデコーディングし、該デコーディング結果に従ってデータ入力バッファからのデータを入力し、これに基づき冗長カラム選択信号を発生してブロック書きを行うようにした請求項 1 記載のカラム冗長方法。

【請求項 3】 カラムアドレスと救済カラムアドレス信号との比較を排他的論理和で行うようにした請求項 1 又は請求項 2 記載のカラム冗長方法。

【請求項 4】 カラムアドレスと救済カラムアドレス信号との比較結果出力を、前記カラムアドレスが入力されるまで抑止するようにした請求項 1 ~ 3 のいずれか 1 項に記載のカラム冗長方法。

【請求項 5】 欠陥メモリセルを冗長メモリセルに置き換えるカラム冗長を行う半導体メモリ装置のカラム冗長回路において、

救済対象のカラムアドレスをヒューズプログラムで記憶し、これに応じて救済カラムアドレス信号を発生するプログラム部と、該プログラム部による救済カラムアドレス信号及び入力されるカラムアドレスを比較して論理一致状態を検出する比較部と、該比較部の出力信号を基に冗長エネーブル制御信号を発生する出力部と、を備えてなることを特徴とするカラム冗長回路。

【請求項 6】 救済カラムアドレス信号をデコーディングしてデコーディング信号を出力するデコーディング回路と、該デコーディング回路によるデコーディング信号とデータ入力バッファからのデータを論理組合せし、冗長エネーブル制御信号の発生に応じてブロック書きのための冗長カラム選択信号を出力する冗長カラム選択回路と、を設ける請求項 5 記載のカラム冗長回路。

【請求項 7】 プログラム部は、救済対象のカラムアドレスに従って切断される多数のヒューズと、これら各ヒューズをそれぞれ接地側に接続した多数の第 1 トランジスタと、これら第 1 トランジスタの電源側にそれぞれ接続した多数の第 2 トランジスタと、各第 1 トランジスタ及び第 2 トランジスタの接続点にそれぞれ接続した多数のラッチ形態のインバータと、を有してなる請求項 5 又は請求項 6 記載のカラム冗長回路。

【請求項 8】 出力部は、比較部にカラムアドレスが入力される前の出力動作が抑止されるようになっている請求項 5 ~ 7 のいずれか 1 項に記載のカラム冗長回路。

【請求項 9】 比較部は、救済カラムアドレス信号とカラムアドレスとを排他的論理和演算する請求項 5 ~ 8 のいずれか 1 項に記載のカラム冗長回路。

【請求項 10】 比較部は、6 つのトランジスタで排他的論理和演算を行う請求項 9 記載のカラム冗長回路。

【請求項 11】 比較部は、カラムアドレスの所定ビットとその反転ビットとを排他的論理和演算するようにされ、該演算結果出力により出力部の出力動作が抑止されるようになっている請求項 9 記載のカラム冗長回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体メモリ装置に関する、特に、カラムアドレスを入力して冗長カラム又はノーマルカラムのエネーブルを決定するためのカラム冗長方法及びその回路に関する。

## 【0002】

【従来の技術】近年、すべての半導体メモリ装置では、欠陥メモリセルを冗長メモリセルに置き換えて救済するための冗長用回路及び冗長メモリセルアレイが構成されるようになっている。冗長動作は、ノーマルメモリセルアレイに対し冗長メモリセルアレイを別途に備えておき、ノーマルメモリセルアレイ中の欠陥メモリセルを指定するアドレスが入力されると、これをデコーディングして冗長メモリセル用の冗長ロー、冗長カラムを選択することにより行われる。冗長アドレスのデコーディングは冗長デコーダにより行われ、そしてノーマルデコーダと冗長デコーダのエネーブル選択は、欠陥アドレスのプログラムを行う冗長回路の出力信号により行われる。この欠陥アドレスのプログラムを行う冗長回路は、回路内に備えたヒューズを、デコーディングするアドレスに従ってレーザ切断することにより、欠陥アドレスのプログラムを遂行するようになっている。半導体メモリ装置では、欠陥カラムを指定するアドレスが入力されると冗長カラムに置き換えて冗長カラムを選択し、欠陥カラムを救済するカラム冗長が一般的である。このカラム冗長を行なう際のカラム冗長回路の場合は、カラムアドレスを入力する度に冗長カラム又はノーマルカラムの選択を素早く決定しなければならない。

【0003】従来におけるカラム冗長回路を図 5 に示し説明する。このカラム冗長回路は、制御部 84 の出力信号により制御されてカラムアドレス C A i, バー C A i (i = 0 ~ 7) を入力し、救済対象のカラムアドレスのプログラムを行うためのヒューズ部 86 と、このヒューズ部 86 の出力信号及び制御部 84 内の N A N D ゲート 12 の出力信号を入力してデータ入力ヒューズ用制御信号 D F P を出力するデータ入力ヒューズ用制御信号の発生部 88 と、ヒューズ部 86 の各出力信号及びブロック書き信号 B W の制御により、冗長エネーブル制御信号バー R E N i を出力する冗長エネーブル制御信号の発生部 90 と、から構成される。

【0004】制御部84は、電源電圧VCCとノードN1との間に接続され、ゲート端子に制御信号φCFPを入力するPMOSトランジスタ2と、ノードN1と接地電圧VSSとの間に接続され、ゲート端子に制御信号φCFPを入力するNMOSトランジスタ4と、ノードN1とNMOSトランジスタ4との間に接続され、カラム冗長回路のエネーブルを決定するマスタヒューズMFと、ノードN1に設定された信号を入力して反転するためのインバータ8と、電源電圧VCCとノードN1との間に接続され、ゲート端子がインバータ8の出力信号により制御されるPMOSトランジスタ6と、インバータ8の出力信号を入力するインバータ10と、このインバータ10の出力信号及び制御信号φCFEを入力するNANDゲート12と、このNANDゲート12の出力信号を入力するインバータ14と、から構成される。制御信号φCFP、φCFEは、ロードレスストローブ信号バーRASのエネーブル時点からカラムアドレスストローブ信号バーCASのエネーブル時点までの遅延時間前に、所定の論理回路を通じ、ロードレスストローブ信号バーRASに同期して論理“ハイ”状態で発生する信号である。従って、これら制御信号φCFP、φCFEは、ロードレスストローブ信号バーRASのプリチャージ区間で論理“ロウ”状態に維持される。

【0005】ヒューズ部86は、カラムアドレスCAi、バーCAiを一方の端子に入力し、ゲート端子が制御部84のNANDゲート12及びインバータ14の出力信号により制御される多数の伝送ゲート16、18、…、46と、各伝送ゲート16、18、…、46の他方の端子にそれぞれ接続される多数のデータ入力ヒューズf1、f2、…、f16と、から構成される。この構成において、2個1組のデータ入力ヒューズf1、f2は、いずれか一方の出力のみが発生されるようにノードN2に接続されており、他のデータ入力ヒューズf3、f4、…、f15、f16も同様に、ノードN3、N4、…、N8、N9にそれぞれ接続されている。

【0006】データ入力ヒューズ用制御信号の発生部88は、制御部84内のNANDゲート12の出力信号がゲート端子に入力され、ドレイン端子がヒューズ部86のノードN2、N3、…、N9にそれぞれ接続され、そしてソース端子が接地電圧VSSにつながれたNMOSトランジスタ48、50、…、62と、制御部84内のNANDゲート12の出力信号を入力するインバータ64と、このインバータ64の出力信号を反転してデータ入力ヒューズ用制御信号φDFPを出力するインバータ66と、から構成される。

【0007】冗長エネーブル制御信号の発生部90は、ノードN2、N3、N4の信号を入力するNANDゲート76と、ノードN5、N6の信号を入力するNANDゲート78と、ノードN7、N8、N9の信号を入力するNANDゲート80と、NANDゲート78、80の

出力信号を入力するNORゲート72と、NANDゲート76の出力信号及びブロック書き信号φBWを入力するインバータ74の出力信号を入力するNANDゲート70と、NANDゲート70及びNORゲート72の各出力信号を入力して冗長エネーブル制御信号バーRENiを出力するNANDゲート68と、から構成される。

【0008】同図に示すカラム冗長回路は、まず制御部84のマスタヒューズMFを切断して救済することを知らせ、更に、入力されるカラムアドレスCAi、バーCAiの各値に従ってヒューズ部86の伝送ゲート16、18、…、46に接続されたデータ入力ヒューズf1、f2、…、f16を切断するようになっている。例えば、救済対象のカラムアドレスCAiが‘10011011’である場合、カラムアドレスバーCAiは‘01100100’で入力される。このとき、救済カラムアドレスCAi、バーCAiが論理‘1’として入力される伝送ゲートに接続されているヒューズが切断される。即ち、救済対象のカラムアドレスCAiが‘10011011’である場合、データ入力ヒューズf1、f4、f6、f7、f9、f12、f13、f15が切断される。カラム冗長に際しては、ノードN2、N3、…、N9に対し接続されているデータ入力ヒューズf1、f2、…、f16の各組中のいずれか一方のヒューズは必ず切断される。

【0009】動作状態を追っていくと、まず、制御信号φCFP、φCFEは、ロードレスストローブ信号バーRASのプリチャージ区間で論理“ロウ”状態を維持する。ロードレスストローブ信号バーRASがプリチャージ区間で論理“ロウ”状態を維持する間、論理“ロウ”状態の制御信号φCFPが入力されると、PMOSトランジスタ2がON状態になってノードN1に論理“ハイ”状態の信号が設定される。従って、NANDゲート12には、論理“ハイ”状態の信号及び論理“ロウ”状態の制御信号φCFEが入力され、NANDゲート12からは論理“ハイ”状態の出力信号が出力される。これにより、論理“ロウ”状態の信号がインバータ14を通じて出力されるので、すべての伝送ゲート16、18、…、46はOFF状態になる。一方、発生部88に備えられているNMOSトランジスタ48、50、…、62のゲート端子には、論理“ハイ”状態のNANDゲート12の出力信号が入力されるので、すべてON状態になる。

【0010】ロードレスストローブ信号バーRASが再びアクティブになると、論理“ハイ”状態の制御信号φCFPが入力され、これに従い、PMOSトランジスタ2がOFF状態になる。このとき既に、ノードN1にはPMOSトランジスタ6のONにより論理“ハイ”状態の信号が設定されている。これにより、NANDゲート12には論理“ハイ”状態の信号及び論理“ハイ”状態の制御信号φCFEが入力され、NANDゲート12

から論理“ロウ”状態の出力信号が出力される。よって、論理“ハイ”状態の信号がインバータ14を通じて出力されるので、すべての伝送ゲート16, 18, …, 46はON状態になる。一方、発生部88に備えられているNMOSトランジスタ48, 50, …, 62はすべてOFF状態になる。

【0011】このカラム冗長回路はブロック書き込み対応なので、冗長エーブル制御信号の発生部90のインバータ74にブロック書き込み信号φBWが入力される。このブロック書き込み信号φBWは、ブロック書き込み動作時に論理“ハイ”状態になる信号で、8ビットブロック書き込み動作を遂行する場合に、カラムアドレスCA0～CA2を無視とし、カラムアドレスCA0～CA2の代わりにデータ入力バッファから入力されるデータDQ0, DQ1, …, DQ7を用いるようにする信号である。

【0012】図6には、ブロック書き込み機能に対応させて設けられる冗長カラム選択回路を示す。同図に示す冗長カラム選択回路は、データ入力バッファから出力されたデータを入力する入力部112と、冗長カラム選択信号RCSLを発生するための信号発生部114と、から構成される。

【0013】入力部112は、データDQ0, DQ1, …, DQ7が一方の端子に入力され、データ入力ヒューズf17, f18, …, f24が他方の端子に接続され、そして電源電圧VCCがゲート端子に入力されるNMOSトランジスタNT1, NT2, …, NT8と、電源電圧VCCとノードN10との間に接続され、ゲート端子が、データ入力ヒューズ用制御信号φDFPを入力するインバータ110の出力信号につながれたPMOSトランジスタ92と、を備えている。データ入力ヒューズf17, f18, …, f24は、ノードN10に接続されている。

【0014】信号発生部114は、ノードN10に設定された信号を反転するためのインバータ96と、電源電圧VCCとノードN10との間に接続され、ゲート端子がインバータ10の出力信号により制御されるPMOSトランジスタ94と、ブロック書き込み信号φBW及びインバータ96の出力信号を入力するNANDゲート98と、NANDゲート98の出力信号及び冗長エーブル制御信号バーRENiを入力するインバータ102の出力信号を入力するNANDゲート100と、このNANDゲート100の出力信号を反転するためのインバータ104と、インバータ104の出力信号及び制御信号φYE, φCPを入力するNANDゲート106と、このNANDゲート106の出力信号を入力して冗長カラム選択信号RCSLを発生するためのインバータ108と、から構成される。

【0015】この回路では、冗長カラム選択信号RCSLをコーディングするためにデータ入力ヒューズf17, f18, …, f24を設けておき、いずれか1つの

データ入力ヒューズを残して他のデータ入力ヒューズを切断することにより、選択されたデータを利用して冗長カラム選択信号RCSLをコーディングする。制御信号φCP, φYEは、冗長カラム選択信号RCSLをエネーブルさせる時点を決定する信号で、よく知られたものである。即ち、制御信号φYEは、ビットラインが完全にセルデータ値で電位展開されたときに冗長カラム選択信号RCSLをエネーブルさせるものであり、制御信号φCPは、カラムアドレスCAiを受取った後に一定の時間が経ってから冗長カラム選択信号RCSLをエネーブルさせる信号である。

#### 【0016】

【発明が解決しようとする課題】上記のような従来技術のカラム冗長回路において、ノードN2, N3, …, N9に接続されるヒューズ対中のいずれか一方のヒューズは、必ず切断して使用することになる。図5から分かるように、マスタヒューズMFを除くヒューズの個数は、カラムデコーディングに使用されるカラムアドレス数の2倍になる。これはつまり、カラムアドレスCAiに該当するヒューズが切断される場合、反転カラムアドレスバーCAiに該当するヒューズは切断しないでおいて（逆も同じ）望む情報を得なければならないためで、従って、アドレスとその反転用のヒューズのアドレス数の2倍のヒューズが必要となる。このため、集積性に影響するばかりでなく、切断ヒューズ数が多くなり冗長プログラムに手間を要する原因となっている。

【0017】そして、グラフィックメモリに主に使用されるブロック書き込み機能に対応するために図6に示すようなデータ入力ヒューズを使用する場合、ヒューズの数は大幅に増加し、更に集積性を悪くする。これは、図5に示すようなカラム冗長回路において、冗長カラム選択信号RCSLをエネーブルするためのカラムアドレスを他の用途にも使用可能な方式にて記憶できないことから発生するものである。好ましくは、このようなデータ入力ヒューズを使用せずに、データ入力バッファから直接データを入力して冗長カラム選択信号をコーディングできる方がよい。

【0018】従って、本発明では、より大容量、高集積のメモリ装置に適するように、ヒューズ数を削減して集積性を向上させられるようなカラム冗長方法及びその回路を提供する。また、カラムアドレスに対し1つずつのヒューズですみ、プログラム工程をより簡単、短時間で行えるようなカラム冗長方法及びその回路を提供する。更に、ブロック書き込みに際し、データ入力ヒューズを省いてデータ入力バッファから直接データを入力して冗長カラム選択信号をコーディングでき、動作速度を向上させられるようなカラム冗長方法及びその回路を提供する。

#### 【0019】

【課題を解決するための手段】このような目的を達成するためには、本発明は、欠陥メモリセルを冗長メモリセルに

置き換えるカラム冗長を行う半導体メモリ装置のカラム冗長方法において、ヒューズ切断により救済対象のカラムアドレスを記憶してこれに応じた救済カラムアドレス信号を発生するようにし、そして、入力されるカラムアドレス及び前記救済カラムアドレス信号を比較して論理一致状態を検出し、この比較結果出力に基づいて冗長エーブル制御信号を発生することを特徴としたカラム冗長方法を提供する。この方法によれば、ヒューズプログラムにより発生される救済カラムアドレス信号とカラムアドレスとの論理一致状態から冗長制御を行うようになっている。即ち、救済カラムアドレス信号はカラムアドレスとビット数が一致するものであるので、これを発生するためのヒューズは、カラムアドレスと同数設けておけばすむ。つまり、反転カラムアドレスに対するヒューズは一切必要なく、従って、従来の半分のヒューズを設けるだけでよい。

【0020】また、この方法によれば、救済対象のカラムアドレスを記憶して発生される救済カラムアドレス信号を、ブロック書き込みのためのデータ入力制御に流用することができる。即ち、救済カラムアドレス信号をデコーディングし、該デコーディング結果に従ってデータ入力バッファからのデータを入力し、これに基づき冗長カラム選択信号を発生してブロック書きを行なうようになることが可能である。従って、ブロック書き込みのための冗長カラム選択回路におけるデータ入力選択用のヒューズを一切省くことができる。

【0021】カラムアドレスと救済カラムアドレス信号との論理比較については、排他的論理和で行うよ。他にも、例えば排他的否定和(exclusive NOR)を用いてもよいが、排他的論理和の方が回路的に簡単でよい。また、カラムアドレスと救済カラムアドレス信号との比較結果出力を、カラムアドレスが入力されるまで抑止しておくと、比較結果出力の有効性を保証でき、誤動作防止のうえで好ましい。

【0022】欠陥メモリセルを冗長メモリセルに置き換えるカラム冗長を行う半導体メモリ装置のカラム冗長回路として本発明によれば、救済対象のカラムアドレスをヒューズプログラムで記憶し、これに応じて救済カラムアドレス信号を発生するプログラム部と、該プログラム部による救済カラムアドレス信号及び入力されるカラムアドレスを比較して論理一致状態を検出する比較部と、該比較部の出力信号を基に冗長エーブル制御信号を発生する出力部と、を備えてなることを特徴としたカラム冗長回路が提供される。

【0023】このカラム冗長回路では、救済カラムアドレス信号をデコーディングしてデコーディング信号を出力するデコーディング回路と、該デコーディング回路によるデコーディング信号とデータ入力バッファからのデータを論理組合せし、冗長エーブル制御信号の発生に応じてブロック書き込みのための冗長カラム選択信号を出力

する冗長カラム選択回路と、を設けることができる。

【0024】一様によれば、プログラム部は、救済対象のカラムアドレスに従って切断される多数のヒューズと、これら各ヒューズをそれぞれ接地側に接続した多数の第1トランジスタと、これら第1トランジスタの電源側にそれぞれ接続した多数の第2トランジスタと、各第1トランジスタ及び第2トランジスタの接続点にそれぞれ接続した多数のラッチ形態のインバータと、を有してなる簡単な構成で実現できる。この場合、制御信号の関係からすると、第1トランジスタとしてはN MOSトランジスタ、第2トランジスタとしてPMOSトランジスタを使用するとよい。また、出力部は、論理ゲートを用いて比較部の比較結果出力を論理組合せする構成でよく、比較部にカラムアドレスが入力される前の出力動作が抑止されるようになっているものが、比較結果の有効性を保証できる点で好ましい。

【0025】比較部は、救済カラムアドレス信号とカラムアドレスとを排他的論理和演算するものとするとよく、この場合には、6つのトランジスタで排他的論理和演算を行う簡単な構成ができる。更に、カラムアドレスの所定ビットとその反転ビットとを排他的論理和演算するようにしておけば、該演算結果出力を出力部の出力動作抑止に使用できる。

【0026】

【発明の実施の形態】図1及び図2に、本発明によるカラム冗長回路の一実施形態を示す。尚、図2の回路は図1に続いているもので、その関係を図1の右上に示してある。

【0027】このカラム冗長回路は大別して、救済対象のカラムアドレスのプログラムを行なう救済カラムアドレス信号バーFCA<sub>i</sub> (i=0~7)を発生するためのプログラム部148と、救済カラムアドレス信号バーFCA<sub>i</sub>と外部から入力されるカラムアドレスとを比較するための比較部150と、この比較部150の出力信号を論理組合せして冗長エーブル制御信号バーREN<sub>i</sub>を発生する出力部152と、から構成される。

【0028】プログラム部148は、ソース端子が電源電圧VCCにつながれ、ゲート端子が制御信号φCFPにつながれた多数のPMOSトランジスタ116と、ゲート端子が制御信号φCFPにつながれ、接地電圧VSSに一端を接続したヒューズf<sub>i</sub> (このiは自然数1~8), MFの他端とPMOSトランジスタ116のドレイン端子との間にチャネルが接続された多数のNMOSトランジスタ118と、NMOSトランジスタ118とPMOSトランジスタ116の接続点に設けられるラッチ形態とした多数のインバータチェーン120, 122と、から構成される。図2に示すように、最終のヒューズがマスタヒューズMFとされ、これを切断することにより救済が知らされる。

【0029】比較部150は、多数の比較回路A, B,

…, I で構成され、これら各比較回路の構成は同じである。比較回路 A について代表して説明すると、プログラム部 148 から出力される救済カラムアドレス信号バー FCA0 と該救済カラムアドレス信号バー FCA0 を入力するインバータ 124 の出力信号との間につながれ、各ゲート端子がカラムアドレス CA0 につながれた PMOS トランジスタ 126 及び NMOS トランジスタ 128 と、チャネルが並列形成され、該チャネルの一端がノード a に接続されると共に他端がカラムアドレス CA0 につながれ、ゲート端子がプログラム部 148 から出力される救済カラムアドレス信号バー FCA0 及びインバータ 124 の出力信号につながれた PMOS トランジスタ及び NMOS トランジスタからなる伝送ゲート 130 と、から構成される。ノード a は、PMOS トランジスタ 126 及び NMOS トランジスタ 128 の接続点に接続しており、該比較回路 A の出力ノードとなる。また、インバータ 124 は 2 つの MOS トランジスタで構成できるので、各比較回路は、6 つのトランジスタで排他的論理と演算を行う構成である。

【0030】また、比較回路 I は、他の比較回路 A～H とは若干違って、カラムアドレス CA0 とカラムアドレス CA0 を入力するインバータ 124 の出力信号との間につながれ、ゲート端子がカラムアドレスバー CA0 につながれた PMOS トランジスタ 126 及び NMOS トランジスタ 128 と、チャネルが並列形成され、該チャネルの一端がノード i に接続されると共に他端がカラムアドレスバー CA0 に接続され、各ゲート端子がカラムアドレス CA0 及びインバータ 124 の出力信号につながれた PMOS トランジスタ及び NMOS トランジスタからなる伝送ゲート 130 と、から構成される。ノード i は、PMOS トランジスタ 126 及び NMOS トランジスタ 128 の接続点に接続しており、該比較回路 I の出力ノードとなる。

【0031】出力部 152 は、比較回路 A, B, C のノード a, b, c に設定される信号を入力する NAND ゲート 140 と、ブロック書込信号バー BW を入力するインバータ 142 と、インバータ 142 の出力信号及び NAND ゲート 140 の出力信号を入力する NAND ゲート 144 と、比較回路 D, E, F のノード d, e, f に設定される信号を入力する NAND ゲート 136 と、比較回路 G, H, I のノード g, h, i に設定される信号及びマスタ制御信号 MASTER を入力するインバータ 132 の出力信号を入力する NAND ゲート 134 と、NAND ゲート 134, 136 の各出力信号を入力する NOR ゲート 138 と、NAND ゲート 144 及び NOR ゲート 138 の各出力信号を入力して冗長エネーブル制御信号バー RENi を出力する NAND ゲート 146 と、から構成される。尚、このカラム冗長回路はブロック書込に対応したものであるため、ブロック書込信号バー BW も組合せ入力としているものである。

【0032】この図 1 及び図 2 に示すカラム冗長回路は、プログラム部 148 のマスタヒューズ MF を切断して救済を知らせ、入力されるカラムアドレス CAi の各値に従ってデータ入力ヒューズ f1, f2, …, f8 を切断するようになっている。例えば、救済対象のカラムアドレスが '10011011' である場合、該アドレスの論理 '1' に相応するデータ入力ヒューズ f1, f4, f5, f7, f8 を切断することにより冗長プログラムが完了する。これから分るように、プログラム部 148 では、プログラムを行う情報量（アドレス数）に相応する個数のヒューズのみですむ。即ち、従来の半分でよい（マスタヒューズを除く）。従って、集積性が格段に向かっている。また、切断対象のヒューズも格段に減少し、プログラム工程がより簡単、短時間に行えるようになっている。

【0033】制御信号バー CFP は、ロードアレスストローブ信号バー RAS がプリチャージ区間の間、論理 "ロウ" 状態を維持する。ロードアレスストローブ信号バー RAS がプリチャージ区間で論理 "ロウ" 状態を維持する間に論理 "ロウ" 状態の制御信号バー CFP が入力されると、PMOS トランジスタ 116 が ON 状態、NMOS トランジスタ 118 が OFF 状態になるので、救済カラムアドレス信号バー FCAi (i = 0 ~ 7) 及びマスタ制御信号 MASTER はすべて論理 "ロウ" 状態にリセットされる。

【0034】ロードアレスストローブ信号バー RAS が再びアクティブされると、カラムアドレス CAi が入力される前に論理 "ハイ" 状態の制御信号バー CFP が入力される。従って、PMOS トランジスタ 116 は OFF 状態、NMOS トランジスタ 118 は ON 状態になる。このとき、上記の例に沿って説明すると、切断されたヒューズ f1, f4, f5, f7, f8 に対応して救済カラムアドレス信号バー FCAi (この i は 0, 3, 4, 6, 7) は論理 "ロウ" 状態で発生し、切断されなかったヒューズ f2, f3, f6 に対応して救済カラムアドレス信号バー FCAi (この i は 1, 2, 5) は論理 "ハイ" 状態で発生する。即ち、救済カラムアドレス信号バー FCAi は、カラムアドレス CAi の反転状態で発生する。このとき、冗長の場合はマスタヒューズ MF が切断されるので、論理 "ロウ" 状態のマスタ制御信号 MASTER が発生する。

【0035】プログラム部 148 から発生する救済カラムアドレス信号バー FCAi は比較部 150 に入力される。比較部 150 では、外部からカラムアドレス CAi が入力されると、救済カラムアドレス信号バー FCAi とカラムアドレス CAi とを各比較回路 A～H にて比較する。そして、救済カラムアドレス信号バー FCAi 及びカラムアドレス CAi が同じ論理状態になる比較回路からは論理 "ロウ" 状態の出力信号が output され、救済カラムアドレス信号バー FCAi 及びカラムアドレス CAi

$i$  が違う論理状態になる比較回路からは論理“ハイ”状態の出力信号が出力される。

【0036】即ち、各比較回路は排他的論理和(exclusive OR)の機能をもち、救済カラムアドレス信号バーFCA $i$ とカラムアドレスCA $i$ が完全に反転論理になる場合に全出力信号が論理“ハイ”状態になり、冗長エネーブル制御信号バーREN $i$ を論理“ロウ”状態に設定し、冗長カラム選択ラインをエネーブルする。エネーブルされた冗長エネーブル制御信号バーREN $i$ は、ノーマルカラム選択ラインのディスエーブルも行う(図示せず)。つまり、図1及び図2に示すカラム冗長回路では、マスタヒューズMFの切断による論理“ロウ”状態のマスタ制御信号MASTERの発生に合わせて、救済カラムアドレス信号バーFCA $i$ とカラムアドレスCA $i$ とを排他的論理和演算して論理一致状態を検出し、その結果により冗長カラム又はノーマルカラムのエネーブルを決定する。

【0037】一方、比較部150内の比較回路Iは次のような役割をもつ。即ち、本来ならば、冗長プログラムに従って救済カラムアドレス信号バーFCA $i$ 及びマスタ制御信号MASTERが発生された後、カラムアドレスCA $i$ が入力されると比較が行われる。しかしながら実際の動作においては、マスタ制御信号MASTERが論理“ロウ”状態になる瞬間から比較結果が出力可能になる。これは、冗長エネーブル制御信号バーREN $i$ が論理“ロウ”状態又は論理“ハイ”状態に変化できることを意味する。そこで、救済カラムアドレス信号バーFCA $i$ とカラムアドレスCA $i$ の比較結果が有効であることを保証するために、カラムアドレスの所定のビットとその反転ビットCA0, バーカ0を排他的論理和するようにしてある。カラムアドレスCA0, バーカ0は、有効入力になるまで両方とも論理“ロウ”状態に設定されるので、このときの比較回路Iの出力信号は論理“ロウ”状態に設定され、従って、冗長エネーブル制御信号バーREN $i$ は常に論理“ハイ”状態を維持し抑止される。カラムアドレスCA0, バーカ0が有効入力になって論理“ハイ”状態及び論理“ロウ”状態又はこの逆の論理状態に変化すると、比較回路Iの出力信号は論理“ハイ”状態になり、残りの比較回路A～Hの比較結果に従って冗長エネーブル制御信号バーREN $i$ が論理“ロウ”状態又は論理“ハイ”状態に変化することができる。

【0038】このカラム冗長回路はブロック書込対応なので、出力部152内のインバータ142にブロック書込信号 $\phi$ BWが入力される。このブロック書込信号 $\phi$ BWは、ブロック書込動作時に論理“ハイ”状態になる信号である。8ビットブロック書込動作を遂行する場合、カラムアドレスCA0～CA2は無視されるので、このとき、カラムアドレスCA0～CA2の代わりに、データ入力バッファから入力されたデータDQ0, DQ

1, …, DQ7が用いられる。これに関して次に説明する。

【0039】図3に、救済カラムアドレスのデコーディング回路を示す。同図に示すデコーディング回路は、救済カラムアドレス信号バーFCA1, バーFCA2を入力にした図示の各論理ゲートを利用し、デコーディング信号FCA12, FCA1・バーFCA2, バーFCA1・バーFCA2, バーFCA1・FCA2を発生する回路である。

【0040】このデコーディング回路は、救済カラムアドレス信号バーFCA1を入力するインバータ154と、救済カラムアドレス信号バーFCA2を入力するインバータ168と、インバータ154, 168の各出力信号を入力するNANDゲート156と、インバータ154の出力信号及び救済カラムアドレス信号バーFCA2を入力するNANDゲート160と、救済カラムアドレス信号バーFCA1, バーFCA2を入力するNANDゲート164と、救済カラムアドレス信号バーFCA1及びインバータ168の出力信号を入力するNANDゲート170と、NANDゲート156の出力信号を入力してデコーディング信号FCA12を出力するインバータ158と、NANDゲート160の出力信号を入力してデコーディング信号FCA1・バーFCA2を出力するインバータ162と、NANDゲート164の出力信号を入力してデコーディング信号バーFCA1・バーFCA2を発生するインバータ166と、NANDゲート170の出力信号を入力してデコーディング信号バーFCA1・FCA2を発生するインバータ172と、から構成される。

【0041】図4には、ブロック書込対応の冗長カラム選択回路を示している。同図に示す冗長カラム選択回路は、デコーディング信号バーFCA1・バーFCA2及びデータDQ0を入力するNANDゲート174と、デコーディング信号FCA1・バーFCA2及びデータDQ2を入力するNANDゲート176と、デコーディング信号バーFCA1・FCA2及びデータDQ4を入力するNANDゲート178と、デコーディング信号FCA12及びデータDQ6を入力するNANDゲート180と、デコーディング信号バーFCA1・バーFCA2及びデータDQ1を入力するNANDゲート182と、デコーディング信号FCA1・バーFCA2及びデータDQ3を入力するNANDゲート184と、デコーディング信号バーFCA1・FCA2及びデータDQ5を入力するNANDゲート186と、デコーディング信号FCA12及びデータDQ7を入力するNANDゲート188と、を備えている。

【0042】そして更に、NANDゲート174, 176, 178, 180の各出力信号を入力するNANDゲート190と、NANDゲート182, 184, 186, 188の各出力信号を入力するNANDゲート19

4と、救済カラムアドレス信号バーFCA0を入力するインバータ192と、このインバータ192の出力信号を入力するインバータ198と、インバータ192, 198の各出力信号がゲート端子に入力され、チャネルの一端にNANDゲート190, 194の各出力信号がそれぞれ入力される伝送ゲート196, 200と、を備えている。

【0043】加えて、伝送ゲート196, 200の他端に設定される信号及びブロック書込信号 $\phi$ BWを入力するインバータ202の出力信号を入力するNORゲート204と、NORゲート204の出力信号及び冗長エーブル制御信号バーREN<sub>i</sub>を入力するNORゲート206と、NORゲート206の出力信号及び制御信号 $\phi$ CP,  $\phi$ YEを入力するNANDゲート208と、このNANDゲート208の出力信号を入力して冗長カラム選択信号RCSLを発生するインバータ210と、を備えている。

【0044】図3及び図4を参照して、この場合のブロック書込機能を説明する。ブロック書込機能は、同一デ

ータを複数のメモリセルに書込む場合に、該各メモリセルについての冗長カラム選択ラインを同時にエーブルしてデータを一括して書込むものである。このブロック書込のときにはブロック書込信号 $\phi$ BWが論理“ハイ”状態で、これに応じて冗長カラム選択信号RCSLのエーブルを行う場合、カラムアドレスCA0~CA2を無視し、残りのカラムアドレスCA3~CA7に従って冗長カラム選択信号RCSLのエーブルを決定する。その際、冗長カラム選択信号RCSLは、データDQ0~DQ7中のいずれか1つによってのみ制御されなければならないので、図4及び図5に示したような回路の論理構成を使用する。

【0045】このようにブロック書込の場合、該当冗長カラム選択信号RCSLはデータDQ0~DQ7中のいずれか1つにより制御されるべきである。このため、該当冗長カラム選択信号RCSLは、カラムアドレスCA0, CA1, CA2の論理状態に従って次表のような該当データにより制御される。

【表1】

カラムアドレス データ	CA0	CA1	CA2
DQ0	0	0	0
DQ1	0	0	1
DQ2	0	1	0
DQ3	0	1	1
DQ4	1	0	0
DQ5	1	1	0
DQ6	1	1	1

【0046】従来技術による冗長カラム選択回路においては、前述のように、このデータ選択をヒューズ切断処理で行っていた。これに対し本発明においては、データ入力ヒューズを用いずに、プログラムされたカラムアドレスをデコーディングした後にカラムアドレスのみを利用して該当冗長カラム選択信号をエーブルするようしている。即ち、ブロック書込動作時、カラムアドレスと救済カラムアドレス信号の論理状態の同一性を判断して冗長カラム選択信号がエーブルされるので、救済カラムアドレスのデコーディング信号により任意のデータを入力して冗長カラム選択信号が制御できることが分かる。

【0047】図3に示すデコーディング回路は、このために、救済カラムアドレス信号バーFCA1, バーFCA2をデコーディングする回路であり、救済カラムアドレス信号バーFCA1, バーFCA2がデコーディングされた後、図4に示す冗長カラム選択回路は、救済カラムアドレス信号バーFCA0を利用し、データDQ0~DQ7中のいずれか1つを入力する回路である。そし

て、ブロック書込信号 $\phi$ BWが論理“ハイ”状態になり、冗長エーブル制御信号バーREN<sub>i</sub>が論理“ロウ”状態になるとき、冗長カラム選択信号RCSLをエーブルする。このとき、制御信号 $\phi$ CP,  $\phi$ YEは、従来技術と同様に、それぞれ冗長カラム選択信号RCSLをエーブルさせる時点を決定する信号である。即ち、制御信号 $\phi$ YEは、ビットラインが完全にセルデータ値で電位展開されたときに冗長カラム選択信号がエーブルされるように知らせる信号であり、制御信号 $\phi$ CPは、カラムアドレスCA<sub>i</sub>を受け入れた時点から一定の時間後に冗長カラム選択信号のエーブルを行うための信号である。

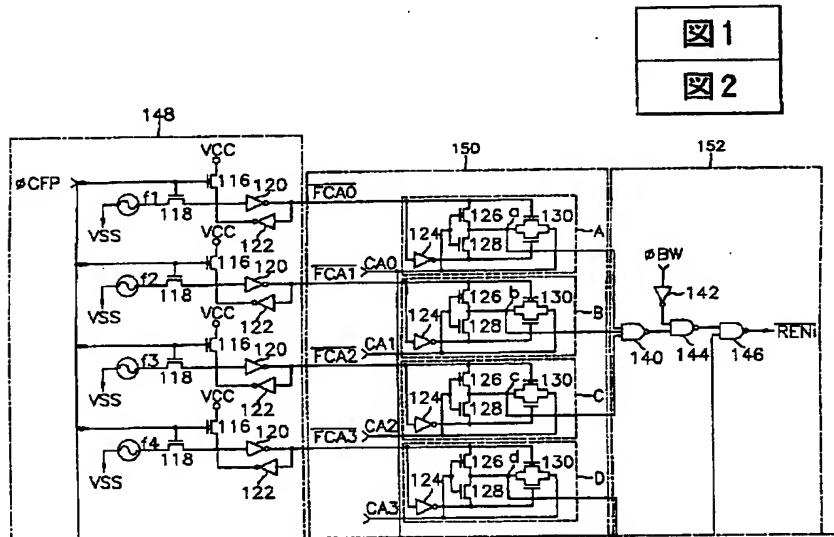
【0048】以上は、本発明の最適な実施形態を説明したもので、本発明の技術的思想を外れない範囲内でその他にも多様に実施され得ることは、該当技術分野における通常の知識を有する者ならば自明であろう。例えば、比較部の構成に上記のような回路構成を使用しなくとも、論理一致状態検出の機能が遂行できれば他の論理回路でもよいことは自明であろう。また、上記実施形態

で、ブロック書き込み信号の制御を受けるカラムアドレスについて、最下位ビット(Least Significant Bit)に該当するCA0, CA1, CA2を例にあげているが、これに限らずとも同じ働きを得ることができる。

【0049】

【発明の効果】以上述べてきたように本発明によれば、ヒューズ数を格段に少なくすることができ、集積性を大きく向上させることができる。また、カラムアドレスに1つずつのヒューズを備えるだけですむので、冗長プログラム工程をより簡単、短時間に見えるようになる。更に、ブロック書き込みに対し、データ入力ヒューズを省いてデータ入力バッファから直接データを入力して冗長カラム選択信号をコーディングするができるようになり、動作速度を向上させることも可能になる。

【図1】



【図面の簡単な説明】

【図1】本発明によるカラム冗長回路の回路図。

【図2】図1の続きを示す回路図。

【図3】本発明に係る救済カラムアドレスのコーディング回路の回路図。

【図4】本発明に係る冗長カラム選択回路の回路図。

【図5】従来技術によるカラム冗長回路の回路図。

【図6】従来技術に係る冗長カラム選択回路の回路図。

【符号の説明】

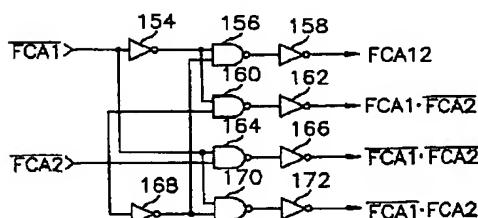
148 プログラム部

150 比較部

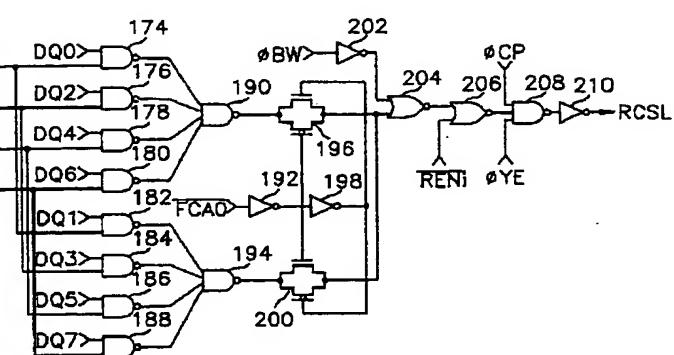
152 出力部

バーFCA0～バーFCA7 救済カラムアドレス信号  
CA0～CA7 カラムアドレス

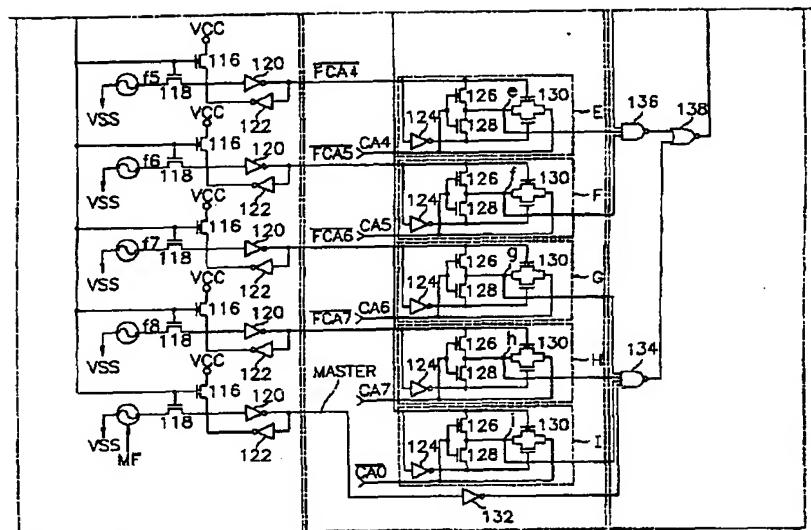
【図3】



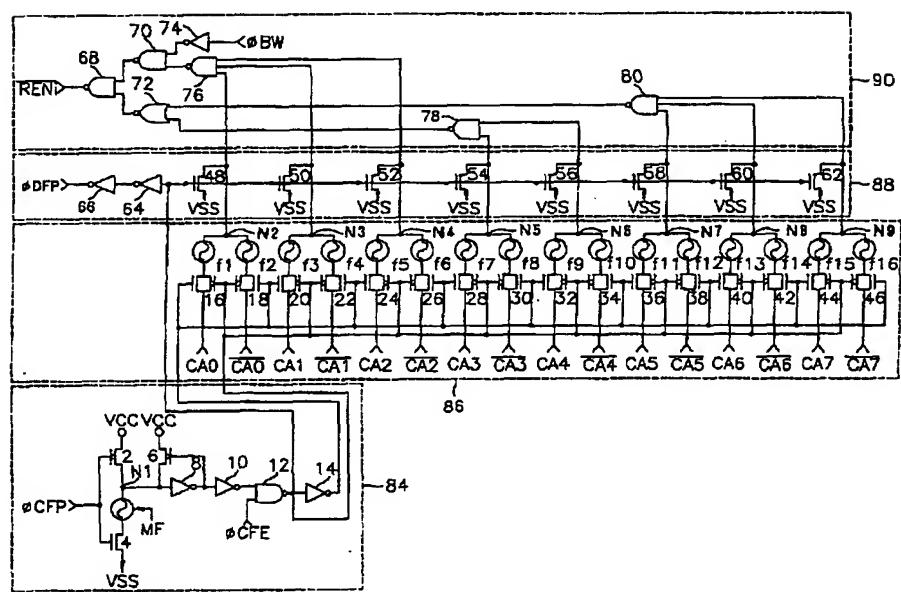
【図4】



【図 2】



【図 5】



【図 6】

